

Journée SIP/SOC dans le cadre des Carrefours Minatec, Grenoble

La prochaine journée technique IMAPS France se tiendra le **30 mai 2006** à Grenoble, en partenariat avec MINATEC.

Du 29 mai au 1^{er} Juin 2006, à Grenoble, plusieurs événements de niveau mondial sur les Nanotechnologies célébreront l'ouverture du plus grand centre européen pour les Micro & Nanotechnologies.

- **MINATEC 2006**, Rencontre Internationale sur les Micro & Nanotechnologies,
- **La 8^e Revue Annuelle du Leti**,
- **Les workshops 2006 IMST-EPCOS**,
- **La 9^e édition du Forum 4i@**, un rendez-vous entre investisseurs et porteurs de projets innovants .

Une **table ronde**, organisée par l'**Ecole de Management de Grenoble**, sur les facteurs clés de la performance en R&D au 21^e siècle, des **Workshops dédiés à divers thèmes**, des cours spécialisés organisés par l'**Institut National Polytechnique Grenoble** compléteront cet impressionnant programme.



[Futur site Minatec](#)

Maître d'ouvrage Conseil Génè. de l'Isère, Maître d'oeuvre groupe 6

C'est dans le cadre de cette prestigieuse manifestation internationale de technologie avancée qu'**IMAPS France** a décidé d'organiser, le 30 mai 2006, la prochaine journée technique régionale.

Consacrée aux solutions de packaging adaptées aux intégrations de systèmes, elle comportera une matinée de conférences intitulée « **SiP ou SOC, un véritable challenge** » et des visites de laboratoires.

L'évolution des performances, les limitations d'encombrement et de poids, la portabilité et les contraintes de coût, contribuent à donner à l'intégration monolithique et au packaging microélectronique un rôle croissant dans la conception des systèmes électroniques.

Les progrès récents des puces de circuits intégrés ont permis le développement de fonctions personnalisées et même de systèmes complets sur une seule puce de silicium et leur encapsulation dans un boîtier standard BGA, CSP ou autre. Cette démarche, "**System On a Chip**" ou **SOC** est très bien adaptée aux productions en grandes séries de produits grand public. Ses principaux inconvénients concernent les coûts élevés de développement, un long délai de mise sur le marché et d'éventuels contestations de propriété intellectuelle.

Une autre approche dite "**System in a Package**" ou **SiP**, consiste à réaliser les diverses fonctions d'un système grâce à différentes puces, éventuellement de technologies différentes: circuits intégrés standards, ASICS, microsystèmes, composants RF et composants passifs. Ces composants sont assemblés dans un boîtier personnalisé ou sur un substrat à hautes performances. La solution SiP peut en outre bénéficier des avantages offerts par les technologies 3D ou Wafer Level. La réduction des coûts et délais de développement fait de la solution SiP, comparée au SOC, un meilleur compromis pour les petites et moyennes séries. A contrario, pour les grandes séries, elle est pénalisée par le coût de montage-câblage des divers composants de cette approche hybride.

La journée IMAPS fera une revue de l'état de l'art, en recherche-développement et production, de ces solutions d'intégration des systèmes électroniques.